

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000021265 A
 (43)Date of publication of application: 25.04.2000

(21)Application number: 1019980040281
 (22)Date of filing: 28.09.1998

(71)Applicant: SAMSUNG SDI CO., LTD.
 (72)Inventor: JUN, GWANG HUN
 KANG, GYEONG HO
 YUM, JEONG DEOK

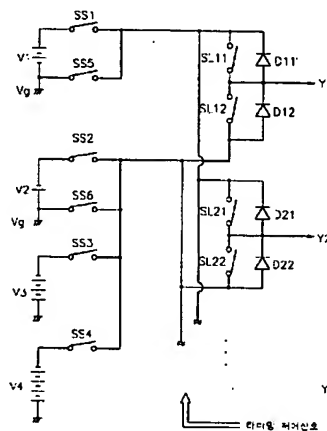
(51)Int. Cl. G09G 3/28

(54) SCANNING DRIVE CIRCUIT FOR PLASMA DISPLAY PANEL

(57) Abstract:

PURPOSE: A scanning drive circuit for plasma display panel is provided to decrease a size of a hardware by using an address/display simultaneous driving method and relatively decreasing switches for a scanning drive.

CONSTITUTION: Power switching circuits(SS1,...,SS6) output two electric potentials which are simultaneously used among a first voltage(V1), a second voltage(V2), a third voltage(V3), a fourth voltage(V4) and a ground voltage(Vg) according to a timing control signal of a controller. Each line switching circuit (SL11,SL12,SL21,SL22,...,D11,D12,D21,D22,...) is connected to an input terminal of corresponding scanning electrode lines(Y1,Y2,...,Yn) and outputs one scanning electrode line (Y1,Y2,...,Yn) corresponding to one electric potential between two electric potentials inputted from the power switching circuits(SS1,...,SS6).



COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20031009)

Patent registration number (1004067890000)

Date of registration (20031111)

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁶
G09G 3/28

(45) 공고일자 2004년01월24일
(11) 등록번호 10-0406789
(24) 등록일자 2003년11월11일

(21) 출원번호	10-1998-0040281	(65) 공개번호	10-2000-0021265
(22) 출원일자	1998년09월28일	(43) 공개일자	2000년04월25일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 팔달구 신동 575번지

(72) 발명자 염정덕
충청남도 천안시 신방동 978번지 두레현대아파트2단지 205동 1505호

전광훈
경기도 수원시 팔달구 매탄동 1162번지

강경호
충청남도 아산시 탕정면 동산리 삼일아파트101동 1504호

(74) 대리인 권석흠
이영필

심사관 : 정재현

(54) 플라즈마 표시 패널의 주사 구동 회로

요약

본 발명에 따른 플라즈마 표시 패널의 주사 구동 회로는, 입력되는 타이밍 제어 신호에 따라, 서로 다른 리셋 및 어드레스 시간에 적어도 제1 및 제2 전위를 상응하는 주사 전극 라인에 인가하며, 서로 다른 리셋 및 어드레스 시간을 제외한 나머지 시간에 유지 방전용 제3 전위를 상응하는 주사 전극 라인에 교호하게 인가하는 주사 구동 회로이다. 이 회로는 전원 스위칭 회로 및 각각의 라인 스위칭 회로를 포함한다. 전원 스위칭 회로는, 타이밍 제어 신호에 따라, 제1, 2 및 3 전위 중에서 동시에 사용될 두 전위들을 각각 출력시킨다. 각각의 라인 스위칭 회로는, 상응하는 각각의 주사 전극 라인의 입력 단자에 연결되어, 타이밍 제어 신호에 따라 전원 스위칭 회로로부터 입력되는 두 전위들 중에서 어느 한 전위를 상응하는 주사 전극 라인에 출력시킨다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 플라즈마 표시 패널의 전극 라인 패턴도이다.
도 2는 도 1의 패턴의 한 화소에 대한 개략적 단면도이다.
도 3은 플라즈마 표시 패널의 일반적인 구동 회로를 보여주는 블록도이다.

도 4는 도 3의 회로 중에서 어드레스/표시 분리 구동 방식에 적용되는 종래의 주사 구동 회로를 보여주는 도면이다.
 도 5는 도 3의 회로 중에서 어드레스/표시 분리 구동 방식에 적용되는 본 발명의 주사 구동 회로의 제1 실시예를 보여주는 도면이다.

도 6은 도 5의 주사 구동 회로에 적용되는 타이밍 제어 신호 및 구동 전위의 파형도이다.

도 7은 본 발명의 주사 구동 회로의 제2 실시예를 보여주는 도면이다.

도 8은 본 발명의 주사 구동 회로의 제3 실시예를 보여주는 도면이다.

도 9는 본 발명의 주사 구동 회로의 제4 실시예를 보여주는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

21, 25...유전체, 22...형광체,
 Y1, Y2, ..., Yn₋₁, Yn, 231, 232...주사 전극 라인,
 X, 241, 242...공통 전극 라인, 26...보호막,
 A1, A2, A3, ..., Am...어드레스 전극 라인,
 35...주사 구동 회로,
 SS1, ..., SS6...전원 스위칭 소자,
 SL11, SL12, SL21, SL22...라인 스위칭 소자.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 표시 패널의 주사 구동 회로에 관한 것으로서, 보다 상세하게는, 플라즈마 표시 패널의 어드레스/표시 동시(Address While Display) 구동 방식에 적합한 주사 구동 회로에 관한 것이다.

도 1은 일반적인 플라즈마 표시 패널의 전극 라인 패턴을 보여준다. 도 2는 도 1의 패턴의 한 화소에 대한 단면을 개략적으로 보여준다. 도면들을 참조하면, 일반적인 면방전 플라즈마 표시 패널에는 어드레스 전극 라인들(A1, A2, A3, ..., Am), 제1 유전체(21), 형광체(22), 주사 전극 라인들(Y1, Y2, ..., Yn₋₁, Yn, 231, 232), 공통 전극 라인들(X, 241, 242), 제2 유전체(25) 및 보호막(26)이 마련되어 있다. 각 주사 전극 라인들(Y1, Y2, ..., Yn₋₁, Yn)은 주사용 IT O(Indium Tin Oxide) 전극 라인(231)과 주사용 버스 전극 라인(232)으로 구성된다. 이와 마찬가지로, 공통 전극 라인들(X, 241, 242)도 공통 ITO 전극 라인(241)과 공통 버스 전극 라인(242)으로 구성된다. 보호막(26)과 제1 유전체(21) 사이의 공간에는 플라즈마 형성용 가스가 밀봉된다.

어드레스 전극 라인들(A1, A2, A3, ..., Am)은 제1 기판으로서의 하부 기판(도시되지 않음)에 일정한 패턴으로 도포된다. 제1 유전체(21)는 어드레스 전극 라인들(A1, A2, A3, ..., Am) 위에 전면 도포된다. 형광체(22)는 제1 유전체(21) 위에 일정한 패턴으로 도포된다. 경우에 따라, 제1 유전체(21)의 형성이 생략되고, 형광체(22)가 어드레스 전극 라인들(A1, A2, A3, ..., Am) 위에 일정한 패턴으로 도포된다. 주사 전극 라인들(Y1, Y2, ..., Yn₋₁, Yn, 231, 242)과 공통 전극 라인들(X, 241, 242)은 어드레스 전극 라인들(A1, A2, A3, ..., Am)과 직교되도록 제2 기판으로서의 상부 기판(도시되지 않음)에 일정한 패턴으로 형성된다. 각 교차점은 상응하는 화소를 규정한다. 제2 유전체(25)는 주사 전극 라인들(Y1, Y2, ..., Yn₋₁, Yn, 231, 232)과 공통 전극 라인들(X, 241, 242)에 전면 도포된다. 강한 전계로부터 패널을 보호하기 위한 보호막(26)은, 제2 유전체(25)에 전면 도포된다.

이와 같은 플라즈마 표시 패널의 일반적인 구동 회로가 도 3에 도시되어 있다. 도 3을 참조하면, 플라즈마 표시 패널(31)의 일반적인 구동 회로는 제어부(34), 주사 구동 회로(35), 공통 구동 회로(33) 및 어드레스 구동 회로(32)를 포함한다. 제어부(34)는, 입력되는 화상 데이터에 상응하는 타이밍 제어 신호를 발생시켜, 주사 구동 회로(35), 공통 구동 회로(33) 및 어드레스 구동 회로(32)에 입력시킨다. 주사 구동 회로(35)는 제어부(34)로부터의 타이밍 제어 신호에 따라 상응하는 주사 전극 라인들(Y1, Y2, ..., Yn)에 구동 신호를 인가한다. 공통 구동 회로(33)는 제어부(34)로부터의 타이밍 제어 신호에 따라 상응하는 공통 전극 라인들(X)에 구동 신호를 인가한다. 어드레스 구동 회로(32)는 제어부(34)로부터의 타이밍 제어 신호에 따라 상응하는 어드레스 전극 라인들(A1, A2, ..., Am)에 화상 데이터 신호를 인가한다.

이와 같은 플라즈마 표시 패널의 구동 회로에 적용되는 구동 방식은, 어드레스/표시 분리(Address Display Separation) 및 어드레스/표시 동시(Address While Display) 구동 방식이다. 어드레스/표시 분리 구동 방식은, 플라즈마 표시 패널의 리셋, 어드레스 및 유지 방전이 모든 주사 전극 라인들에 대하여 전체적으로 수행되는 방식이다. 이에 반하여, 어드레스/표시 동시 구동 방식은, 플라즈마 표시 패널의 리셋, 어드레스 및 유지 방전이 각각의 주사 전극 라인에 대하여 개별적으로 수행되는 방식이다. 따라서, 어드레스/표시 동시 구동 방식은, 어드레스/표시 분리 구동 방식에 비하여, 방전 유지 시간이 길어지므로 그 표시 휘도가 더 높은 잇점이 있다.

도 4는 도 3의 회로 중에서 어드레스/표시 분리 구동 방식에 적용되는 종래의 주사 구동 회로를 보여준다. 도 4를 참조하면, 종래의 주사 구동 회로에는, 사용될 전위들(V1, V2, V3, V4, Vg), 및 각각의 주사 전극 라인(Y1, Y2, ..., Yn)의 입력 단자에 연결된 스위칭 소자들(S11, S12, S13, S14, S15, ...)이 포함되어 있다. 여기서, 한 주사 전극 라인(Y1)의 입력 단자에 연결된 스위칭 소자들(S11, S12, S13, S14, S15)의 개수 5는 사용될 전위들(V1, V2, V3, V4, Vg)의

개수 5와 같다. 이와 같이 구성된 이유는, 어드레스/표시 동시 구동 방식에 따라, 플라즈마 표시 패널의 리셋, 어드레스 및 유지 방전을 각각의 주사 전극 라인(Y1, Y2, ..., Yn)에 대하여 개별적으로 수행시키기 위함이다. 따라서, 상기과 같은 종래의 주사 구동 회로는, 사용될 전위들의 개수와 같은 수의 스위칭 소자들이 각각의 주사 전극 라인(Y1, Y2, ..., Yn)의 입력 단자에 연결되므로, 많은 스위칭 소자들(S11, S12, S13, S14, S15)로 인하여 하드웨어의 규모가 커지는 문제점이 있다. 예를 들어, 사용될 전위들(V1, V2, V3, V4, Vg)의 개수가 5이고 주사 전극 라인들(Y1, Y2, ..., Yn)의 개수가 480인 경우, 총 2,400 개의 많은 주사 구동용 스위칭 소자들(S11, S12, S13, S14, S15, ...)이 필요하다. 이와 같은 문제점은, 주사 전극 라인들(Y1, Y2, ..., Yn)의 수가 많은 고해상도(High Definition) 플라즈마 표시 패널에 대하여 더욱 심각해진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 어드레스/표시 동시 구동 방식이 적용될 수 있으면서도 주사 구동용 스위칭 소자들의 개수를 상대적으로 줄일 수 있는 플라즈마 표시 패널의 주사 구동 회로를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명의 주사 구동 회로는, 입력되는 타이밍 제어 신호에 따라, 서로 다른 리셋 및 어드레스 시간에 적어도 제1 및 제2 전위를 상용하는 주사 전극 라인에 인가하며, 상기 서로 다른 리셋 및 어드레스 시간을 제외한 나머지 시간에 유지 방전용 제3 전위를 상용하는 주사 전극 라인에 교호하게 인가하는 플라즈마 표시 패널의 주사 구동 회로이다. 이 회로는 전원 스위칭 회로 및 각각의 라인 스위칭 회로를 포함한다. 상기 전원 스위칭 회로는, 상기 타이밍 제어 신호에 따라, 상기 제1, 2 및 3 전위 중에서 동시에 사용될 두 전위들을 각각 출력시킨다. 상기 각각의 라인 스위칭 회로는, 상용하는 각각의 주사 전극 라인의 입력 단자에 연결되어, 상기 타이밍 제어 신호에 따라 상기 전원 스위칭 회로로부터 입력되는 두 전위들 중에서 어느 한 전위를 상용하는 주사 전극 라인에 출력시킨다.

이에 따라, 어드레스/표시 동시 구동 방식이 적용될 수 있으면서도 주사 구동용 스위칭 소자들의 개수를 상대적으로 줄일 수 있다. 본 발명의 상기 각각의 라인 스위칭 회로에는 2 개의 스위칭 소자들만이 사용된다.

이하, 본 발명에 따른 바람직한 실시예들을 상세히 설명한다.

도 5는 도 3의 회로 중에서 어드레스/표시 분리 구동 방식에 적용되는 본 발명의 주사 구동 회로의 제1 실시예를 보여준다. 도 5를 참조하면, 본 발명에 따른 주사 구동 회로는 전원 스위칭 회로(SS1, ..., SS6) 및 각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)를 포함한다. 각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)에서 다이오드들(D11, D12, D21, D22, ...)이 연결된 이유는, 전원 스위칭 회로(SS1, ..., SS6)에서 접지 전위(Vg)를 스위칭하는 제5(SS5) 또는 제6(SS6) 라인 스위칭 소자가 온(On)되는 동안에 상용하는 주사 전극 라인들(Y1, Y2, ..., Yn)을 통하여 보다 빠른 방전이 수행되게 하기 위함이다. 전원 스위칭 회로(SS1, ..., SS6)는, 제어부(도 3의 34)로부터의 타이밍 제어 신호에 따라, 제1(V1), 제2(V2), 제3(V3), 제4(V4) 및 접지 전위(Vg) 중에서 동시에 사용될 두 전위들을 각각 출력시킨다. 각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)는, 상용하는 각각의 주사 전극 라인(Y1, Y2, ..., Yn)의 입력 단자에 연결되어, 제어부(34)로부터의 타이밍 제어 신호에 따라 전원 스위칭 회로(SS1, ..., SS6)로부터 입력되는 두 전위들 중에서 어느 한 전위를 상용하는 주사 전극 라인(Y1, Y2, ..., Yn)에 출력시킨다. 이에 따라, 어드레스/표시 동시 구동 방식이 적용될 수 있으면서도 주사 구동용 스위칭 소자들(SS1, ..., SS6, SL11, SL12, SL21, SL22, ...)의 개수를 상대적으로 줄일 수 있다. 각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)에는 2 개의 스위칭 소자들만이 사용된다. 따라서, 주사 전극 라인들(Y1, Y2, ..., Yn)의 개수가 480인 경우, 총 966 개(6 + 2times:480)의 주사 구동용 스위칭 소자들이 필요하다. 따라서, 종래의 주사 구동 회로(도 4 참조)에서 사용되는 주사 구동용 스위칭 소자들의 개수 2,400에 비하여, 1,434 개의 소자들을 줄일 수 있다.

각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)는, 그 출력 단자들이 접속되어 상용하는 주사 전극 라인(Y1, Y2, ..., Yn)에 연결되고, 그 입력 단자들에 전원 스위칭 회로(SS1, ..., SS6)로부터의 두 전위들이 각각 입력되는 제1(SL11, SL21, ...) 및 제2 라인 스위칭 소자(SL12, SL22, ...)를 포함한다.

전원 스위칭 회로(SS1, ..., SS6)에서, 제1 전원 스위칭 소자(SS1)는, 그 입력 단자에 제1 전위(V1)가 인가되고, 그 출력 단자가 각각의 제1 라인 스위칭 소자(SL11, SL21, ...)의 입력 단자들과 연결된다. 제2 전원 스위칭 소자(SS2)는, 그 입력 단자에 제2 전위(V2)가 인가되고, 그 출력 단자가 각각의 제2 라인 스위칭 소자(SL12, SL22, ...)의 입력 단자들과 연결된다. 제3 전원 스위칭 소자(SS3)는, 그 입력 단자에 제3 전위(V3)가 인가되고, 그 출력 단자가 제2 전원 스위칭 소자(SS2)의 출력 단자와 연결된다. 제4 전원 스위칭 소자(SS4)는, 그 입력 단자에 제4 전위(V4)가 인가되고, 그 출력 단자가 제3 전원 스위칭 소자(SS3)의 출력 단자와 연결된다. 제5 전원 스위칭 소자(SS5)는, 그 입력 단자가 접지되고, 그 출력 단자가 제1 전원 스위칭 소자(SS1)의 출력 단자와 연결된다. 제6 전원 스위칭 소자(SS6)은, 그 입력 단자가 접지되고, 그 출력 단자가 제2 전원 스위칭 소자(SS2)의 출력 단자와 연결된다. 전원 스위칭 회로(SS1, ..., SS6)로부터의 두 전위들 중에서, 한 전위는 양극성 전위(V1, Vg) 및 접지 전위 중 어느 하나이고, 다른 한 전위는 음극성 전위(V2, V3, V4) 및 접지 전위(Vg) 중 어느 하나이다.

도 6은 도 5의 주사 구동 회로에 적용되는 타이밍 제어 신호 및 구동 전위의 파형을 보여준다. 도 6에서, 참조 부호 W X는 공통 구동 회로(도 3의 33)로부터 공통 전극 라인들(X)에 인가되는 구동 전위의 파형, WYn은 제n 주사 전극 라인(Yn)에 인가되는 구동 전위의 파형, WY1은 제1 주사 전극 라인(Y1)에 인가되는 구동 전위의 파형, WY2는 제2 주사 전극 라인(Y2)에 인가되는 구동 전위의 파형, WSS1은 제1 전원 스위칭 소자(도 5의 SS1)에 입력되는 타이밍 제어

신호의 파형, WSS2는 제2 전원 스위칭 소자(도 5의 SS2)에 입력되는 타이밍 제어 신호의 파형, WSS3은 제3 전원 스위칭 소자(도 5의 SS3)에 입력되는 타이밍 제어 신호의 파형, WSS4는 제4 전원 스위칭 소자(도 5의 SS4)에 입력되는 타이밍 제어 신호의 파형, WSL1은 제1 라인 스위칭 소자들(SL11, SL12)에 입력되는 타이밍 제어 신호들의 합성 파형, 그리고 WSLn은 제n 라인 스위칭 소자들에 입력되는 타이밍 제어 신호들의 합성 파형을 가리킨다. 도 5 및 6을 참조하면, 유지 방전용 제3 전위(V3)는 음극성이다. 서로 다른 리셋 및 어드레스 시간(제1 주사 전극 라인 Y1에 대한 경우, c-h 시간)에 상응하는 주사 전극 라인에 제1(V1), 제2(V2) 및 제4 전위(V4)가 교호하게 인가된다. 양극성의 제1 전위(V1)는, 서로 다른 어드레스 시간(제1 주사 전극 라인 Y1에 대한 경우, e-h 시간)에 최초로 인가된다. 제1 전위(V1)의 인가 시간(제1 주사 전극 라인 Y1에 대한 경우, e-f 시간)에 공통 전극 라인들(X)에 음극성의 제3 전위(V3)가 인가되므로(WX 파형 참조), 상응하는 화소들 내에 벽전하들이 형성된다. 이어지는 시간(제1 주사 전극 라인 Y1에 대한 경우, g-h 시간)에는 상응하는 주사 전극 라인에 음극성의 제2 전위(V2)가 인가되고, 공통 전극 라인들(X)에 0 [V]의 접지 전위(Vg)가 인가되므로, 선택된 화소들 내에 제1 전위(V1)에 의하여 형성된 벽전하들이 집적된다. 리셋 시간(제1 주사 전극 라인 Y1에 대한 경우, c-d 시간) 동안에, 음극성의 제4 전위(V4)가 상응하는 주사 전극 라인에 인가되고, 공통 전극 라인들(X)에 0 [V]의 접지 전위(Vg)가 인가되므로, 이전 서브-필드로부터의 잔여 벽전하들이 소거된다.

도 7은 본 발명의 주사 구동 회로의 제2 실시예를 보여준다. 도 7의 주사 구동 회로는 도 5의 주사 구동 회로에 제7(SS7) 및 제8 전원 스위칭 소자(SS8)가 더 포함된 회로이다. 도 7에서 도 5와 동일한 참조 부호는 동일한 부재를 가리킨다. 도 7을 참조하면, 제7 전원 스위칭 소자(SS7)는, 제1 전원 스위칭 소자(SS1)의 출력 단자와 각각의 제1 라인 스위칭 소자(SL11, SL21, ...)의 입력 단자들 사이에 연결된다. 제8 전원 스위칭 소자(SS8)는, 제2 전원 스위칭 소자(SS2)의 출력 단자와 각각의 제2 라인 스위칭 소자(SL12, SL22, ...)의 입력 단자들 사이에 연결된다.

도 8은 본 발명의 주사 구동 회로의 제3 실시예를 보여주는 도면이다. 도 8의 각각의 라인 스위칭 회로(SL11, SL12, SL21, SL22, ..., D11, D12, D21, D22, ...)에서 도 5와 동일한 참조 부호는 동일한 부재를 가리킨다. 한편, 전원 스위칭 회로(SS1, ..., SS8)에서, 제5 전원 스위칭 소자(SS5)가 오프(Off)되면, 제1 라인 스위칭 소자(SL11, SL21, ...)의 입력 단자들이 부상(浮上, floating) 상태가 된다. 이와 마찬가지로, 제6 전원 스위칭 소자(SS6)가 오프(Off)되면, 제2 라인 스위칭 소자(SL12, SL22, ...)의 입력 단자들이 부상(浮上, floating) 상태가 된다. 따라서, 제1 라인 스위칭 소자(SL11, SL21, ...)에 필요한 전위가 인가되려면 제5 전원 스위칭 소자(SS5)가 온(On)되어야 하고, 제2 라인 스위칭 소자(SL12, SL22, ...)에 필요한 전위가 인가되려면 제6 전원 스위칭 소자(SS6)가 온(On)되어야 한다.

아래의 표 1은 제1(SS1), 2(SS2) 및 7(SS7) 전원 스위칭 소자들의 동작 상태에 따른 제5 전원 스위칭 소자(SS5)의 입력 전위 V_x 를 보여준다.

[표 1]

SS1	SS2	SS7	V_x
0	0	0	부상
0	0	1	V_g
0	1	0	V_{12}
0	1	1	V_g (사용 안함)
1	0	0	$V_{11} + V_{12}$
1	0	1	V_g (사용 안함)
1	1	0	V_{12} (사용 안함)
1	1	1	V_g (사용 안함)

위 표 1을 참조하면, 보다 낮은 전위(V_{11})로써 보다 높은 전위($V_{11} + V_{12}$)가 사용될 수 있다.

이와 마찬가지로, 아래의 표 2는 제3(SS3), 4(SS4) 및 8(SS8) 전원 스위칭 소자들의 동작 상태에 따른 제6 전원 스위칭 소자(SS6)의 입력 전위 V_x 를 보여준다.

[표 2]

SS3	SS4	SS8	V_x
0	0	0	부상
0	0	1	V_g
0	1	0	V_{22}
0	1	1	V_g (사용 안함)
1	0	0	$V_{21} + V_{22}$

1	0	1	Vg(사용 안함)
1	1	0	V22(사용 안함)
1	1	1	Vg(사용 안함)

위 표 2를 참조하면, 보다 낮은 음전위(V21)로써 보다 높은 음전위(V21 + V22)가 사용될 수 있다.

도 9는 본 발명의 주사 구동 회로의 제4 실시예를 보여준다. 도 9의 주사 구동 회로는, 도 8의 주사 구동 회로에서 제7(SS7) 및 제8 전원 스위칭 소자(SS8)의 위치가 바뀌었으며, 별도의 제9(SS9) 및 제10(SS10) 전원 스위칭 소자가 추가된 회로이다. 이에 따라, 5 개의 전위들(V11, V12, V21, V22 및 Vg)로써 7 개의 전위들(V11, V12, V11+V12, V21, V22, V21+V22 및 Vg)이 사용될 수 있다.

발명의 효과

이상 설명된 바와 같이, 본 발명에 따른 플라스마 표시 패널의 주사 구동 회로에 의하면, 어드레스/표시 동시 구동 방식이 적용되면서도 주사 구동용 스위칭 소자들의 개수가 상대적으로 적어지므로, 그 하드웨어의 규모를 보다 줄일 수 있다.

본 발명은, 상기 실시예에 한정되지 않고, 당업자의 수준에서 그 변형 및 개량이 가능하다.

(57) 청구의 범위

청구항 1.

입력되는 타이밍 제어 신호에 따라, 서로 다른 리셋 및 어드레스 시간에 적어도 제1 및 제2 전위를 상응하는 주사 전극 라인에 인가하며, 상기 서로 다른 리셋 및 어드레스 시간을 제외한 나머지 시간에 유지 방전용 제3 전위를 상응하는 주사 전극 라인에 교호하게 인가하는 플라스마 표시 패널의 주사 구동 회로에 있어서, 상기 타이밍 제어 신호에 따라, 상기 제1, 2 및 3 전위 중에서 동시에 사용될 두 전위들을 각각 출력시키는 전원 스위칭 회로; 및

상응하는 각각의 주사 전극 라인의 입력 단자에 연결되어, 상기 타이밍 제어 신호에 따라 상기 전원 스위칭 회로로부터 입력되는 두 전위들 중에서 어느 한 전위를 상응하는 주사 전극 라인에 출력시키는 각각의 라인 스위칭 회로;를 포함한 것을 특징으로 하는 플라스마 표시 패널의 주사 구동 회로.

청구항 2.

제1항에 있어서, 상기 각각의 라인 스위칭 회로는,

그 출력 단자들이 접속되어 상응하는 주사 전극 라인에 연결되고, 그 입력 단자들에 상기 전원 스위칭 회로로부터의 두 전위들이 각각 입력되는 제1 및 제2 라인 스위칭 소자를 포함한 것을 특징으로 하는 플라스마 표시 패널의 주사 구동 회로.

청구항 3.

제2항에 있어서, 상기 전원 스위칭 회로로부터의 두 전위들 중에서,

한 전위는 양극성 전위 및 접지 전위 중 어느 하나이고, 다른 한 전위는 음극성 전위 및 접지 전위 중 어느 하나인 것을 특징으로 하는 플라스마 표시 패널의 주사 구동 회로.

청구항 4.

제3항에 있어서,

상기 유지 방전용 제3 전위는 음극성이고,

상기 서로 다른 리셋 및 어드레스 시간에 상응하는 주사 전극 라인에 교호하게 인가되는 전위들에는, 상기 어드레스 시간에 최초로 인가되어, 상응하는 화소들 내에 벽전하들을 형성하기 위한 양극성의 상기 제1 전위; 상기 어드레스 시간에 인가되어, 선택된 화소들 내에 상기 제1 전위에 의하여 형성된 벽전하들을 집적하기 위한 음극성의 상기 제2 전위; 상기 리셋 시간에 인가되어, 이전 서브-필드로부터의 잔여 벽전하들을 소거하기 위한 음극성의 제4 전위; 및 접지 전위가 포함된 것을 특징으로 하는 플라스마 표시 패널의 주사 구동 회로.

청구항 5.

제4항에 있어서, 상기 전원 스위칭 회로는,

그 입력 단자에 상기 제1 전위가 인가되고, 그 출력 단자가 상기 각각의 제1 라인 스위칭 소자의 입력 단자들과 연결된 제1 전원 스위칭 소자;

그 입력 단자에 상기 제2 전위가 인가되고, 그 출력 단자가 상기 각각의 제2 라인 스위칭 소자의 입력 단자들과 연결된 제2 전원 스위칭 소자;

그 입력 단자에 상기 제3 전위가 인가되고, 그 출력 단자가 상기 제2 전원 스위칭 소자의 출력 단자와 연결된 제3 전원 스위칭 소자;

그 입력 단자에 상기 제4 전위가 인가되고, 그 출력 단자가 상기 제3 전원 스위칭 소자의 출력 단자와 연결된 제4 전원 스위칭 소자;

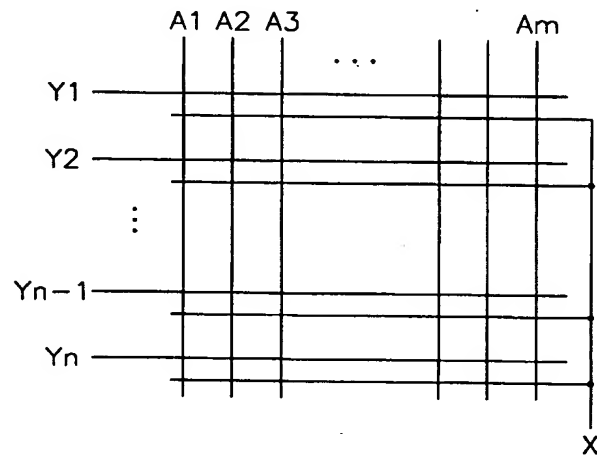
그 입력 단자에 상기 접지 전위가 인가되고, 그 출력 단자가 상기 제1 전원 스위칭 소자의 출력 단자와 연결된 제5 전원 스위칭 소자; 및
 그 입력 단자에 상기 접지 전위가 인가되고, 그 출력 단자가 상기 제2 전원 스위칭 소자의 출력 단자와 연결된 제6 전원 스위칭 소자를 포함한 것을 특징으로 하는 플라즈마 표시 패널의 주사 구동 회로.

청구항 6.

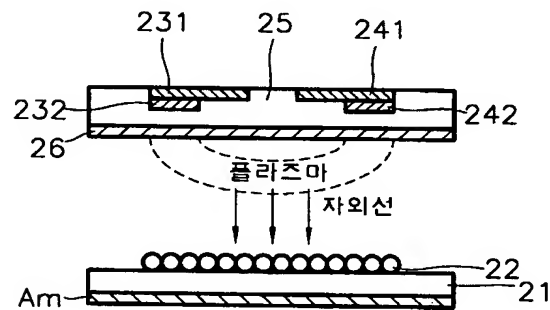
제5항에 있어서,
 상기 제1 전원 스위칭 소자의 출력 단자와 상기 각각의 제1 라인 스위칭 소자의 입력 단자들 사이에 연결된 제7 전원 스위칭 소자; 및
 상기 제2 전원 스위칭 소자의 출력 단자와 상기 각각의 제2 라인 스위칭 소자의 입력 단자들 사이에 연결된 제8 전원 스위칭 소자를 더 포함한 것을 특징으로 하는 플라즈마 표시 패널의 주사 구동 회로.

도면

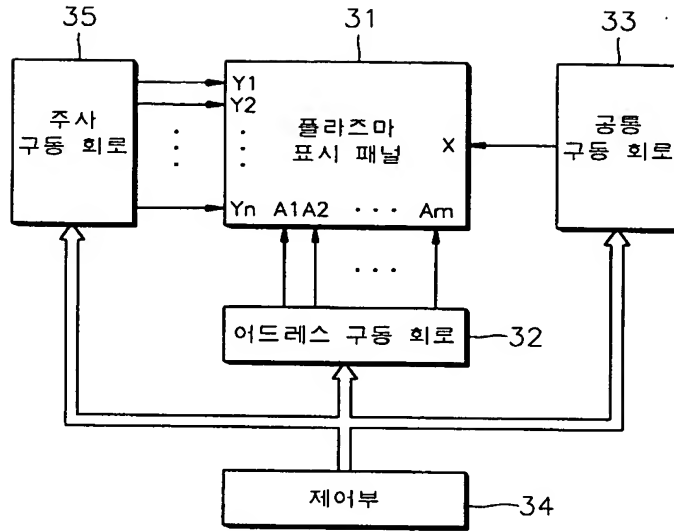
도면1



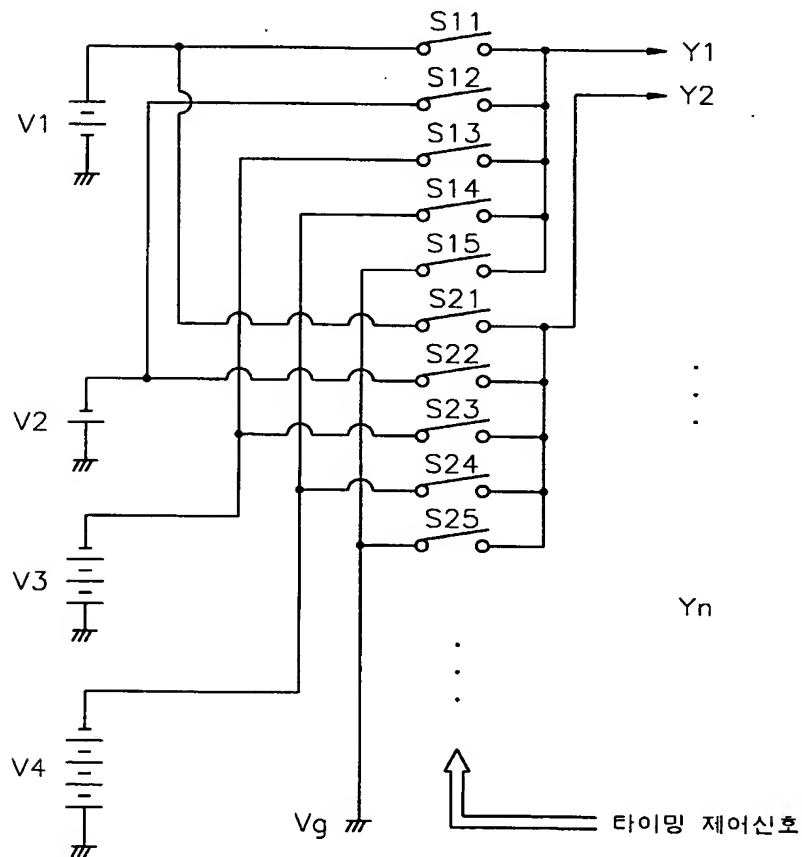
도면2



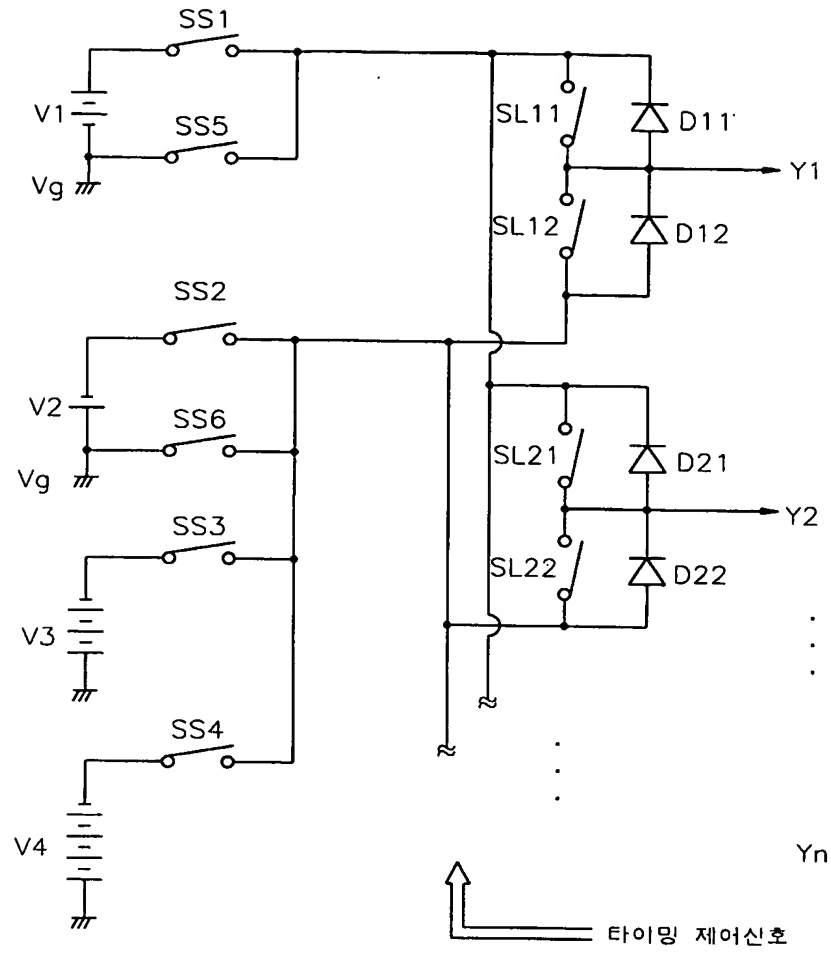
도면3



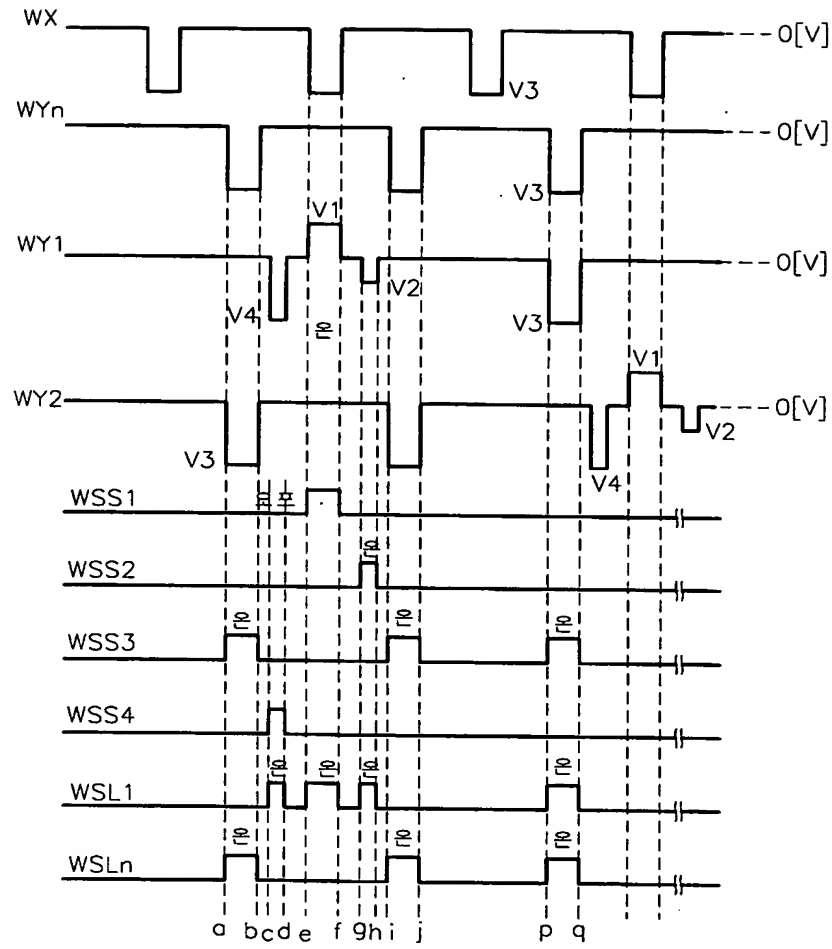
도면4



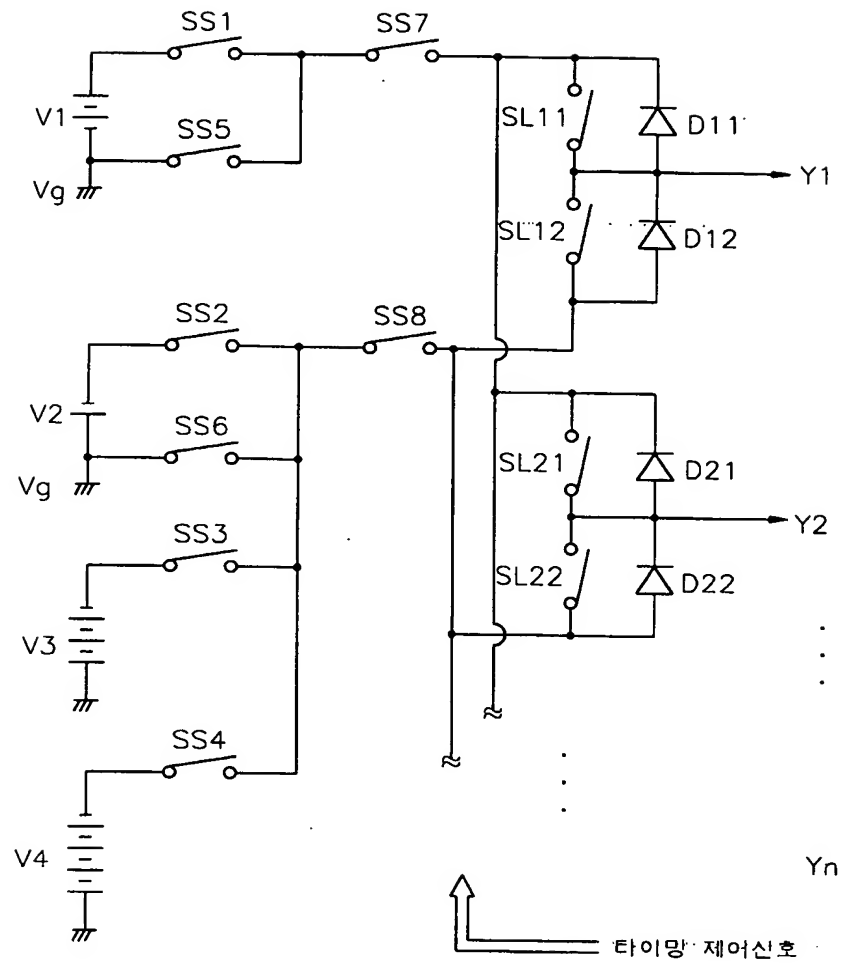
도면5



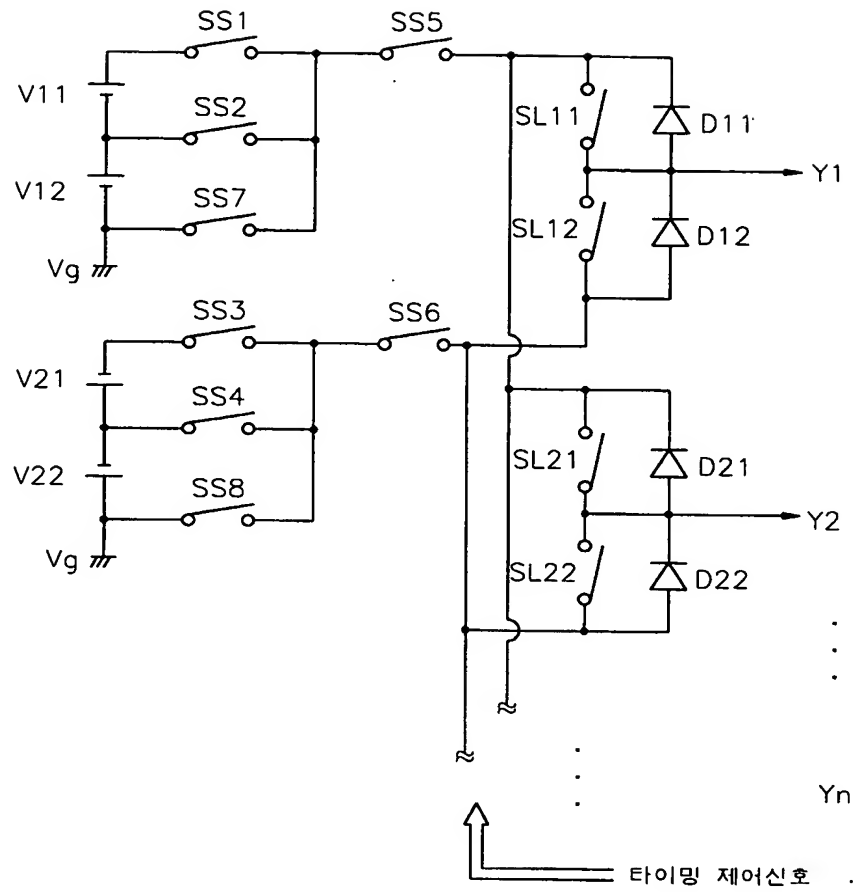
도면6



도면7



도면8



도면9

